

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-132474

(43)Date of publication of application : 13.05.1994

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 04-061636

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.03.1992

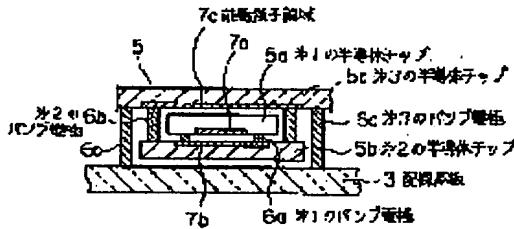
(72)Inventor : YAMADA HIROSHI  
SAITO MASAYUKI

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To realize highly reliable high density mounting on a wiring board by employing multistage or laminar flip-chip mounting of semiconductor chips.

CONSTITUTION: A first semiconductor chip 5a having a first bump electrode 6a is placed on a bonding pad 8a. A second semiconductor chip 5b having a second bump electrode 6b and flip-chip mounting the first semiconductor chip 5a while opposing active element regions 7a, 7b forming faces each other on the surface thereof is placed on a bonding pad 8b. Furthermore, a third semiconductor chip 5c having a third bump electrode 6c and flip-chip mounting the second semiconductor chip 5b while opposing active element regions 7b, 7c forming faces each other on the surface thereof is placed on a bonding pad 8c. The semiconductor device is constituted in multilayer of three or more layers. This constitution reduces wiring board area required for mounting greatly as compared with the overall planar area of the semiconductor chips 5a-5c.



## LEGAL STATUS

[Date of request for examination]

19.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3119927

[Date of registration]

13.10.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-132474

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-61636

(22)出願日 平成4年(1992)3月18日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山田 浩

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 斉藤 雅之

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

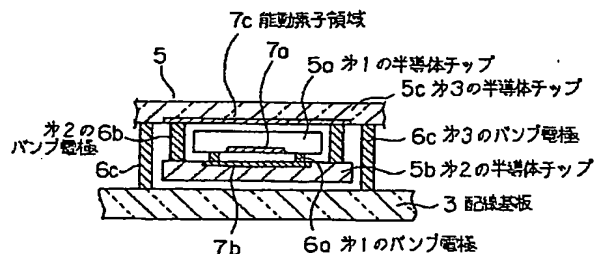
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 配線基板(回路基板)に、高密度かつ信頼性の高い実装が可能に構成された半導体装置の提供を目的とする。

【構成】 ボンディングパッド8a上に第1のバンパ電極6aを有する第1の半導体チップ5aと、ボンディングパッド8b上に前記第1の半導体チップ5aの厚および第1のバンパ電極6aの高さの和よりも高い第2のバンパ電極6bを有し、かつ第2のバンパ電極5bが形成された面上において互いに能動素子領域7a、7b形成面を対向させて少なくとも1個の第1の半導体チップ5aをフリップチップ実装した第2の半導体チップ5bと、ボンディングパッド8c上に前記第2の半導体チップ5bの厚および第2のバンパ電極6bの高さの和よりも高い第3のバンパ電極6cを有し、かつ第3のバンパ電極6cが形成された面上において互いに能動素子領域7b、7c形成面を対向させて少なくとも1個の第2の半導体チップ5bをフリップ実装する第3の半導体チップ5cとを具備してなることを特徴し、3層以上の多層型に構成されている。



## 【特許請求の範囲】

【請求項1】 ボンディングパッド上に第1のバンパ電極を有する第1の半導体チップと、ボンディングパッド上に前記第1の半導体チップの厚および第1のバンパ電極の高さとの和よりも高い第2のバンパ電極を有し、かつ第2のバンパ電極が形成された面上において互いに能動素子領域形成面を対向させて少なくとも1個の第1の半導体チップをフリップチップ実装した第2の半導体チップと、ボンディングパッド上に前記第2の半導体チップの厚および第2のバンパ電極の高さとの和よりも高い第3のバンパ電極を有し、かつ第3のバンパ電極が形成された面上において互いに能動素子領域形成面を対向させて少なくとも1個の第2の半導体チップをフリップ実装した第3の半導体チップとを具備してなることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置に係り、特に複数の半導体チップを高密度に配線基板面への実装を可能に構成した半導体装置に関する。

## 【0002】

【従来の技術】半導体装置（半導体チップもしくは半導体素子）は近年高集積化の方向にあり、またこの種の半導体装置を高密度に配線基板へ実装する要求も高まっている。そして、半導体装置を配線基板面へ、高密度に実装する手段として、様々な方法も提案されているが、最近は主にフリップチップ実装方法が行われている。フリップチップ実装は、ワイヤーボンディング実装やTAB実装に比較して、半導体チップを高密度に実装できるからである。すなわち、ワイヤーボンディング実装やTAB実装によって、半導体チップを実装した場合は、半導体チップから引き出されるリードの占める面積が、半導体チップの2〜3倍の面積を必要とする。一方、フリップチップ実装の場合、半導体チップの実装面積は半導体チップの面積で足り、半導体チップを互いに隣接した上体で実装し得る。したがって、フリップチップ実装に比較すると、ワイヤーボンディング実装やTAB実装は半導体チップの実装面積が1/2〜1/3程度となり、高密度化の限界をなしている。

【0003】ところで、前記フリップチップ実装は、いわゆる平面実装であるため、実装密度も配線基板面から制約を受け、実装の高密度化にも限界がある。このような問題に対して、たとえばIMC 90 Proceedingに記載されているごとく、TAB実装のテープキャリアを積層して、半導体チップを3次元に実装する手段、あるいはEP & P 1990 p76に記載されているように、半導体チップを縦方向に並べて3次元的に実装する手段が提案されている。

## 【0004】

【発明が解決しようとする課題】しかしながら、前記3

次元（的）実装の場合は、たとえばメモリチップのように実装する半導体チップのサイズが同一でなかったり、あるいは形状が不均一であったりすると、目的に沿った実装の高密度化を達成し得ないという問題がある。

【0005】一方、サイズの異なる半導体チップを、図6に断面的に示すごとく多段的に実装する構成も試みられている。すなわち、サイズの異なる各半導体チップ1a、1b、1cについて、それぞれ能動素子領域面のボンディングパッドから裏面側に配線を引き出し、裏面に第2のボンディングパッド2a、2b、2cを設け、これら第2のボンディングパッド2a、2b、2cを介して、配線基板3面に各半導体チップ1a、1b、1cを多段的に実装した構成を採っている。しかし、この構成においては、半導体チップ1a、1b、1cの裏面に、第2のボンディングパッド2a、2b、2cを設けることが困難であり、また半導体チップ1a、1b、1cに孔を穿設し、この孔を利用して第2のボンディングパッド2a、2b、2cを設けるとしても、前記孔の穿設工程を要する。いずれにしても、この図6に図示した構成の場合は、コストアップとなるなど問題がある。

【0006】さらに、サイズの異なる半導体チップを、図7に断面的に示すごとく多段的に積層・配置する構成も試みられている。すなわち、サイズの異なる各半導体チップ1a、1b、1cを、能動素子領域面を上面として所要の配線基板3面に、順次積層的にマウントするとともに、相互の間をワイヤボンディング4により電氣的に接続して実装した構成を採っている。しかし、この構成においては、半導体チップ1a、1b、1cの発熱面をなす能動素子領域面上に他の半導体チップがマウントされるため、放熱が不十分となり易く機能面での信頼性が損なわれるという問題がある。本発明は以上の問題点を鑑みてなされたもので、配線基板（回路基板）に、高密度かつ信頼性の高い実装が可能に構成された半導体装置の提供を目的とする。

## 【0007】

【課題を解決するための手段】本発明に係る半導体装置は、ボンディングパッド上に第1のバンパ電極を有する第1の半導体チップと、ボンディングパッド上に前記第1の半導体チップの厚および第1のバンパ電極の高さとの和よりも高い第2のバンパ電極を有し、かつ第2のバンパ電極が形成された面上において互いに能動素子領域形成面を対向させて少なくとも1個の第1の半導体チップをフリップチップ実装した第2の半導体チップと、ボンディングパッド上に前記第2の半導体チップの厚および第2のバンパ電極の高さとの和よりも高い第3のバンパ電極を有し、かつ第3のバンパ電極が形成された面上において互いに能動素子領域形成面を対向させて少なくとも1個の第2の半導体チップをフリップチップ実装する第3の半導体チップとを具備してなることを特徴とする。

【0008】前記半導体装置の構成においては、上記に準じた構成を成す第3の半導体チップを第4の半導体チ

3

ップ面にフリップチップ実装し、同様に第4の半導体チップを第5の半導体チップ面にフリップチップ実装ごとく、さらに多層的な配置の構成も採り得る。そして、この半導体装置を構成する半導体チップ面に、たとえばチップ抵抗、チップコンデンサ、薄膜抵抗、薄膜コンデンサなどの、少なくとも1種を付設しておくことも可能で、こうしたことは回路構成のコンパクト化などの点から好ましい。

【0009】

【作用】本発明に係る半導体装置によれば、半導体チップを多段的ないし積層的にフリップチップ実装した構成を採るため、通常行われているフリップチップ実装の場合に比べて、実装回路装置の構成において高密度実装を容易に達成し得る。すなわち、半導体装置の実装に要する配線基板面積は、前記半導体装置を形成する半導体チップの平面的な全面積に比べて大幅に低減するため、高密度実装化を実現できる。しかも、半導体チップの裏面にボンディングパッドを設ける必要もないので、構成も簡略化するばかりでなく、良好な放熱性を保持・発揮するので実装回路装置を構成したときも、信頼性の高い機能を呈する。

【0010】

【実施例】以下、図1、図2(a)～(j)、図3、図4および図5を参照して本発明の実施例を説明する。

【0011】図1は本発明に係る半導体装置の要部構成例の断面図である。この図1において、3は本発明に係る半導体装置5を実装した配線基板で、前記半導体装置5は、次のように構成されている。すなわち、ボンディングパッド上に第1のバンパ電極6aを有する第1の半導体チップは5a、ボンディングパッド上に前記第1の半導体チップ5aの厚および第1のバンパ電極6a高さの和よりも高い第2のバンパ電極6bを有し、かつ第2のバンパ電極6bが形成された面(面上)において互いに能動素子領域7a、7b形成面を対向させて、前記第1の半導体チップ5aをフリップチップ実装した第2の半導体チップ5b、ボンディングパッド上に前記第2の半導体チップ5bの厚および第2のバンパ電極6b高さの和よりも高い第3のバンパ電極6cを有し、かつ第3のバンパ電極6cが形成された領域内において互いに能動素子領域7b、7c形成面を対向させて、前記第2の半導体チップ5bをフリップチップ実装した第3の半導体チップ5cとを具備した構成を成している。

【0012】そして、前記構成の半導体装置5は、次のような手段によって容易に製造し得る。図2(a)～(j)は、半導体装置5を製造する実施態様例を模式的に示したもので、先ず、ボンディングパッド8bが、パッシベーション膜の一部が除かれた領域に形成された第2の半導体チップ5bを用意し、この第2の半導体チップ5bの、前記ボンディングパッド8b形成面に、ボンディングパッド8b面を露出させて、たとえばポリイミド樹脂層9bを設ける。こ

4

のポリイミド樹脂層9bの形成は、たとえばポリイミド前駆体 UR-3140(東レ製、商品名)を全面にスピンコートした後、露光し、現像液 DV505(東レ製、商品名)により現像して、ボンディングパッド8b面を開口してから、400°C程度の温度で加熱してポリイミド前駆体 UR-3140校をポリイミド化させる(図2(a))。

【0013】次いで、前記で形成したポリイミド樹脂層9b面上に、Al/Ti層を蒸着・形成した後、そのAl/Ti層面上にエッチングレジスト OFPR-800(東京応化社)スピンコートし、ブリーク、露光、現像を順次行い前記ボンディングパッド8bに接続するエッチングレジストパターンを形成する。このように、エッチングレジストパターンを形成した後、リン酸/酢酸/硝酸の混合液でAlを、EDTA/NH<sub>3</sub>/H<sub>2</sub>O<sub>2</sub>でTiをと順次選択エッチングしてから、前記エッチングレジストパターンを成す OFPR-800層を除去して、第2の配線パターン10bを形成する(図2(b))。

【0014】前記第2の配線パターン10bを形成した面上に、ポリイミド樹脂層9cを前記の場合と同様にして、第2のボンディングパッド11aに相当する部分を除いて形成する(図2(c))。前記ポリイミド樹脂層9cを形成した面上に、たとえばTi/Cu層13を蒸着によって形成する(図2(d))。次いで、前記形成したTi/Cu層12面上に、厚膜レジスト AZ 4903(ヘキストジャパン社製)をスピンコートして、膜厚500μm程度のレジスト層13を形成し、露光、現像を順次行って100μm<sup>2</sup>の開孔を有するボンディングパッド9bよりも、一辺が20μm小さい80μmの開孔部14を形成する(図2(e))。前記マスキングした後、硫酸銅250g/l、硫酸(比重1.84)50g/lから成る溶液に浸漬して、浴温度25°Cに設定し、前記Ti/Cu層12を陰極、高純度銅を陽極として、電流密度5A/dm<sup>2</sup>を印加して緩やかに攪拌しながら銅を450μmメッキする。その後、全スズ40g/l、第1スズ35g/l、鉛44g/l、遊離ホウ酸40g/l、ホウ酸25g/l、ニカワ3.0g/lから成るメッキ浴を用い、前記Ti/Cu層12を陰極、40%スズを陽極として、電流密度3.2A/dm<sup>2</sup>を印加して緩やかに攪拌しながらスズ/鉛=40/60の合金を50μm連続メッキ(図2(f))して、第2のバンパ6bを形成する。

【0015】前記により第2のバンパ6bを形成した後、メッキレジスト膜を成していた厚膜レジスト AZ 4903層13を、たとえばアセトンで溶解除去してから(図2(g))、前記スズ/鉛(第2のバンパ)6bをエッチングマスクとして、過硫酸アンモニウム/硫酸/エタノールから成る溶液で、露出した前記Cu層をエッチング後、さらにEDTAアンモニア、過酸化水素から成る溶液で、露出した前記Ti層をエッチングして、その後レジストOFPR層9cをアセトンで溶解除去する(図2(h))。

【0016】一方、第1の半導体チップ5aも前記に準じた操作で構成される。すなわち、ボンディングパッド8aが、パッシベーション膜の一部が除かれた領域に形成さ

れた第1の半導体チップ5aを用意する。ここで、第1の半導体チップ5aとしては、その形状、大きさが前記第2の半導体チップ5bのバンプ電極6b領域内に収納・配置し得るものである。この第1の半導体チップ5aの、前記ボンディングパッド8a形成面に、ボンディングパッド8a面を露出させてポリイミド樹脂層9aを設け、このポリイミド樹脂層9b面上に、Cu/Ti層を蒸着・形成する。その後、前記Cu/Ti層面上に厚膜レジストAZ 4903（ヘキストジャパン社製）をスピンコートして、膜厚50 $\mu\text{m}$ 程度のレジスト層を形成し、露光、現像を順次行い、前記ボンディングパッド8a面に対応した領域を、たとえばボンディングパッド8aの大きさ80 $\mu\text{m}$   $\square$ よりも、一辺が20 $\mu\text{m}$ 小さい60 $\mu\text{m}$   $\square$ に開口させる。このようにマスキングした後、硫酸銅250g/l、硫酸（比重1.84）50g/lから成る溶液に浸漬して、浴温度25°Cに設定し、前記Ti/Cu層を陰極、高純度銅を陽極として、電流密度5A/dm<sup>2</sup>を印加して緩やかに攪拌しながら銅を40 $\mu\text{m}$ メッキする。その後、全スズ40 g/l、第1スズ35g/l、鉛44 g/l、遊離ホウ酸40 g/l、ホウ酸25 g/l、ニカワ3.0g/lから成るメッキ浴を用い、前記Ti/Cu層を陰極、40%スズを陽極として、電流密度3.2A/dm<sup>2</sup>を印加して緩やかに攪拌しながらスズ/鉛=40/60の合金を10 $\mu\text{m}$ 連続メッキして、所要のバンプ電極6aを形成する。

【0017】前記によりバンプ電極6aを形成した後、メッキレジスト膜を成していた厚膜レジストAZ 4903層を、たとえばアセトンで溶解除去してから、前記スズ/鉛（第1のバンプ）6aをエッチングマスクとして、過硫酸アンモニウム/硫酸/エタノールから成る溶液で、露出した前記Cu層をエッチング後、さらにEDTA、アンモニア、過酸化水素から成る溶液で、露出した前記Ti層をエッチングして、その後レジストOFF層をアセトンで溶解除去し、第1の半導体チップ5aを得る。

【0018】さらに、前記第1の半導体チップ5aおよび第2の半導体チップ5bの製造工程に準じて、第3の半導体チップ5cを製造する。この第3の半導体チップ5cの構成においては、第3の半導体チップ5cとしてその形状、大きさが、前記第2の半導体チップ5bを、突設するバンプ電極6cの領域内に収納・配置し得るものであり、またその能動素子領域7c面に、前記第2の半導体チップ5bのバンプ電極6bが接続される第3のボンディングパッド11bが形成される。さらに、前記突設するバンプ電極6cの高さも、前記第2の半導体チップ5bをバンプ電極6cの領域内に内装（内蔵）する形で収納・配置し得るような高さ、すなわち第2の半導体チップ5bの厚さおよびそのバンプ電極6bの高さとの和以上に設定される。

【0019】次に、前記能動素子領域7b上に所要のバンプ電極6bおよび第2ボンディングパッド11aが設けられている第2の半導体チップ5b上へ、この第2の半導体チップ5bに対して、第1の半導体チップ5aをフェースダウンの位置関係に保ちながら、第1の半導体チップ5aのバン

プ電極6aを、第2の半導体チップ5bの第2ボンディングパッド11aにハーフミラーを用いて位置合わせし、これらバンプ電極6aおよび第2ボンディングパッド11aに対接させる。なお、この工程においては、前記バンプ電極6aおよび第2ボンディングパッド11aが対接する面に、予め共晶半田層を介在させてあり、また第1の半導体チップ5aを加熱機構付けのコレットに保持して前記操作を行っている。そして、前記第1の半導体チップ5aのバンプ電極6aと第2の半導体チップ5bの第2ボンディングパッド11aとを対接させた状態で、たとえば窒素雰囲気中、280°C程度に加熱することによって両者を電氣的に接続する（図2(i)）。

【0020】前記により第2の半導体チップ5bに、第1の半導体チップ5aをフリップチップ実装した後、この第1の半導体チップ5aを実装させた第2の半導体チップ5bを、前記実装手段に準じて、さらに第3の半導体チップ5cにフリップチップ実装する（図2(j)）することによって、本発明に係る半導体装置が構成される。

【0021】前記構成において、第1の半導体チップ5aを3mm<sup>2</sup>、第2の半導体チップ5bを4mm<sup>2</sup>、第1の半導体チップ5cを5mm<sup>2</sup>にそれぞれ設定して成る半導体装置を、配線基板面に実装して実装回路装置を構成したところ、従来のワイヤボンディング方式で構成した実装回路装置の場合に比べて実装密度が5倍、またTAB方式で構成した実装回路装置の場合に比べて実装密度が4倍にそれぞれ向上していた。さらに、半導体装置の熱抵抗を評価したところ、5mm<sup>2</sup>のチップで自然冷却により20°C/Wであり、ワイヤボンディング方式で積層した構成の場合（図7参照）の40°C/Wに対して2倍の放熱特性を示した。また、図1に示す構成にフリップチップ実装した実装回路装置について、-55°C(30 min)~25°C(5 min)~150°C(30 min)~25°C(5 min)の温度サイクル試験（1000サイクル）を行なった結果、接続抵抗の増加は認められず、機能面でも高い信頼性を示した。

【0022】図3は本発明に係る半導体装置の他の要部構成例を断面的に示したもので、この構成においては、配線基板の代わりにガラス基板3'面に、CCDチップ15aをドライバIC15bのバンプ電極16bの領域内に内装する形で、CCDチップ15aおよびドライバIC15bをそれぞれフリップチップ実装した構成を採っている。この半導体装置の場合は、ガラス基板3'を通して受光した信号をドライバIC15bで制御できるため、従来のたとえばフレキシブル基板を用いた構成の場合に比べて、電子機器のコンパクト化も可能となった。

【0023】さらに、図4は本発明に係る半導体装置の別の要部構成例を斜視的に示したもので、この構成例においては、第3の半導体チップ5c面上に第1の半導体チップ5aが複数個フリップチップ実装している。図4において、8cはその上面に第3のバンプ電極6cが設けられる第3のボンディングパッド、11bは第2の半導体チップ5b

のバンプ電極6bなどが接続する第2のボンディングパッドである。この構成の場合は、半導体装置における半導体チップの高密度化が可能で、また第3の半導体チップ5c面に、たとえばチップ抵抗、チップコンデンサ、薄膜抵抗、薄膜コンデンサなども併せて実装し易い。

【0024】さらにまた、図5は本発明に係る半導体装置の異なる要部構成例を斜視的に示したもので、この構成例においては、たとえば第3の半導体チップ5c面上に、第1の半導体チップ5aを交差させた形でフリップチップ実装している。つまり、本発明に係る半導体装置においては、半導体チップ5a、5b、5cなどの形状に応じて（半導体チップの形状が制約されることなく）、任意な向きに（向きを揃えずに）フリップチップ実装した構成を採り得る。

【0025】なお、本発明は前記実施例に限定されるものでなく、その要旨を逸脱しない範囲で変更して実施し得る。たとえば、バンプ電極の形成はCuの他Au、Pd、Pt、Niなどで行ってもよく、またバンプ電極の形成時の電気メッキで陰極を成す導電性層もCu/Tiに限定されないし、さらに多段的にフリップチップ実装する半導体チップ数も、前記例示に限定されないことは勿論である。

【0026】

【発明の効果】本発明に係る半導体装置よれば、従来のフリップチップ実装によって半導体実装回路装置を構成する場合に比べて、配線基板面を立体的に利用し得るため、高密度実装回路装置の実現が可能となる。しかも、この高密度化達成に当たり、従来知られている方式に比べて複雑な作業なども要せず、信頼性の高い電気的な接続を達成し得るとともに、一方では良好な放熱性を呈するので、信頼性の高い、かつ高密度実装回路装置の構成を容易に図り得る。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の要部構成例を示す断面図。

【図2】本発明に係る半導体装置を製造する実施態様例を模式的に示すもので、(a)は半導体チップ面に絶縁層\*

＊を形成した状態を示す断面図、(b)は絶縁層上に配線パターンを形成した状態を示す断面図、(c)は第2のボンディングパッドを形成した状態を示す断面図、(d)はメッキ用の導電層を形成した状態を示す断面図、(e)はメッキレジスト膜をパターンニングした状態を示す断面図、(f)はバンプ電極をメッキ形成した状態を示す断面図、(g)はメッキレジスト膜を除去した状態を示す断面図、(h)は第2のボンディングパッドを形成した状態を示す断面図、(i)は第2の半導体チップ面に第1の半導体チップをフリップチップ実装した状態を示す断面図、(j)は半導体装置の断面図。

【図3】本発明に係る半導体装置の他の要部構成例を示す断面図。

【図4】本発明に係る半導体装置の別の要部構成例を示す断面図。

【図5】本発明に係る半導体装置の別の要部構成例を示す断面図。

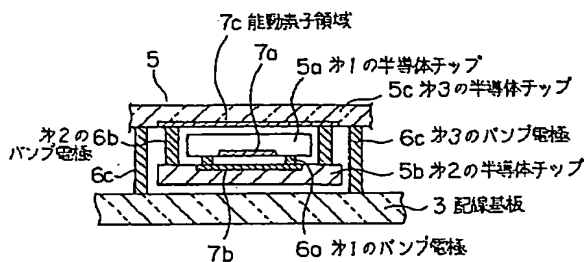
【図6】従来の半導体装置を配線基板面に実装した態様を示す断面図。

【図7】従来の半導体装置を配線基板面に実装した他の態様を示す断面図。

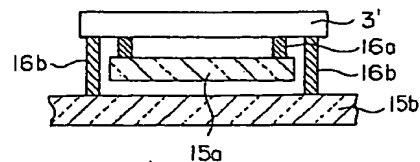
【符号の説明】

1a, 1b, 1c…半導体チップ 2a, 2b, 2c…ボンディングパッド 3…配線基板 3'…ガラス基板 4…ボンディングワイヤ 5…半導体装置 5a…第1の半導体チップ 5b…第2の半導体チップ 5c…第3の半導体チップ  
6a…第1のバンプ電極 6b…第2のバンプ電極 6c…第3のバンプ電極  
7a, 7b, 7c…能動素子領域 8a, 8b, 8c…ボンディングパッド 9a, 9b, 9c…ポリイミド樹脂層 10a…配線パターン 11a, 11b…第2のボンディングパッド  
12…Ti/Cu層 13…レジスト層 14…開口部 15a…CCDチップ  
15b…ドライバーIC 16a…CCDチップのバンプ電極 16b…ドライバーICのバンプ電極

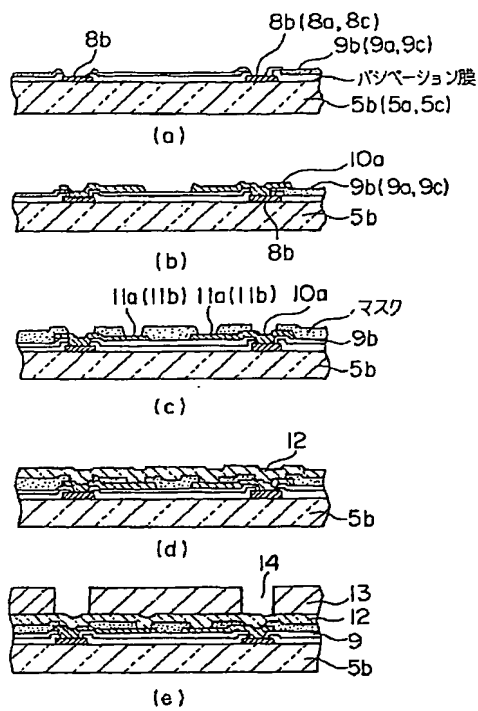
【図1】



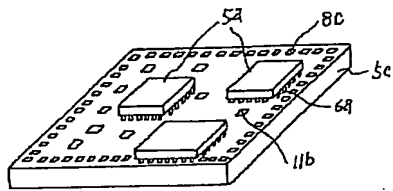
【図3】



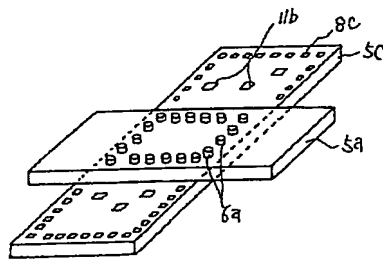
【図2】



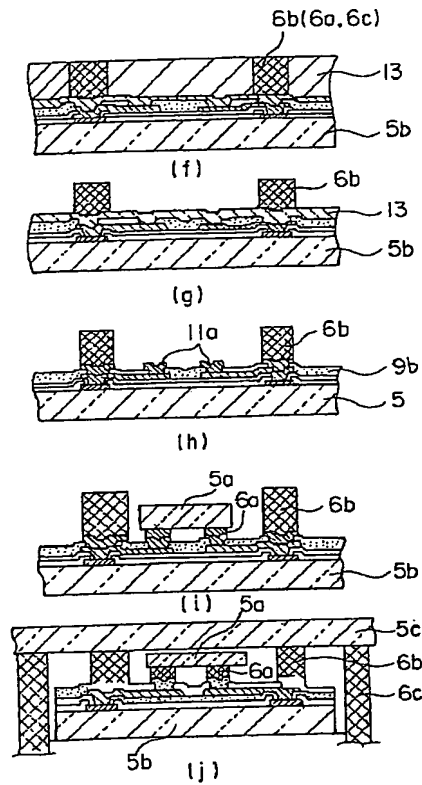
【図4】



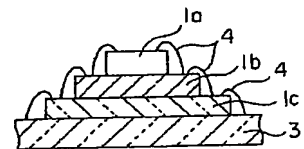
【図5】



【図6】



【図7】



【手続補正書】

【提出日】平成5年10月20日

【手続補正1】

【補正対象書類名】図面

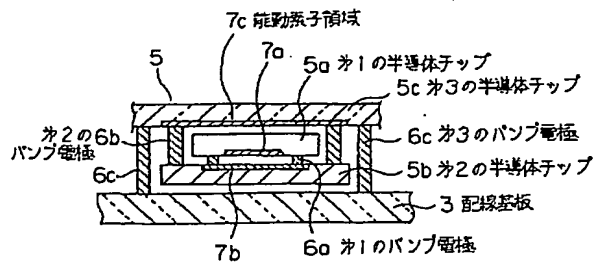
【補正対象項目名】全図

【補正方法】変更

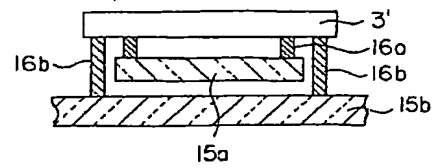
【補正内容】



【図1】

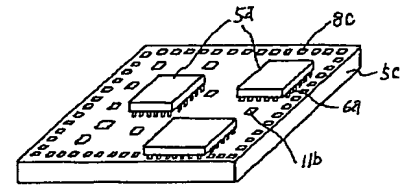
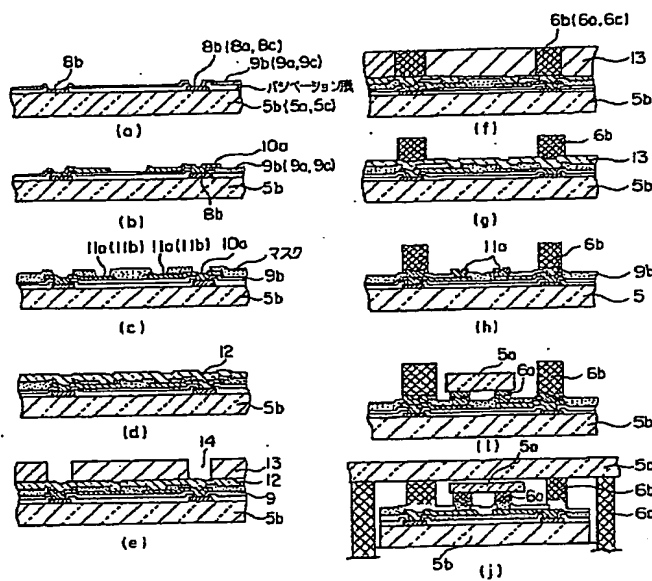


【図3】

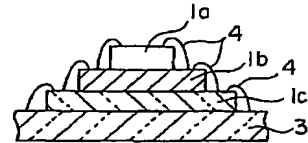


【図4】

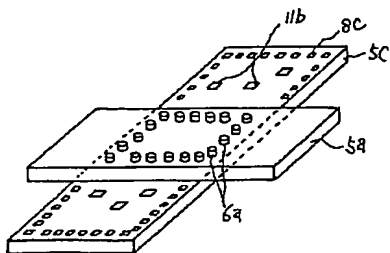
【図2】



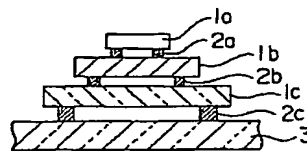
【図7】



【図5】



【図6】





## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06132474 A**

(43) Date of publication of application: 13.05.94

(51) Int. Cl.

**H01L 25/065****H01L 25/07****H01L 25/18**(21) Application number: **04061636**(22) Date of filing: **18.03.92**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **YAMADA HIROSHI  
SAITO MASAYUKI**(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1994,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To realize highly reliable high density mounting on a wiring board by employing multistage or laminar flip-chip mounting of semiconductor chips.

**CONSTITUTION:** A first semiconductor chip 5a having a first bump electrode 6a is placed on a bonding pad 8a. A second semiconductor chip 5b having a second bump electrode 6b and flip-chip mounting the first semiconductor chip 5a while opposing active element regions 7a, 7b forming faces each other on the surface thereof is placed on a bonding pad 8b. Furthermore, a third semiconductor chip 5c having a third bump electrode 6c and flip-chip mounting the second semiconductor chip 5b while opposing active element regions 7b, 7c forming faces each other on the surface thereof is placed on a bonding pad 8c. The semiconductor device is constituted in multilayer of three or more layers. This constitution reduces wiring board area required for mounting greatly as compared with the overall planar area of the semiconductor chips 5a-5c.

